

This Page Is Inserted by IFW Operations  
and is not a part of the Official Record

## **BEST AVAILABLE IMAGES**

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

**IMAGES ARE BEST AVAILABLE COPY.**

**As rescanning documents *will not* correct images,  
please do not report the images to the  
Image Problem Mailbox.**

Japanese Patent Laid-open Publication No. 2001-168734 A

Publication date : June 22, 2001

Applicant : Mitsubishi Denki K. K.

Title : FEC FRAME CONSTITUTING METHOD AND FEC MULTIPLEXING

5 DEVICE

(57) [Abstract]

[Object] It is an object to improve error correction performance.

10 [Configuration] An order of pieces of information is changed by a first interleave circuit 32, a first error correction codes is generated by an RS (239, 223) encoding circuit 33, the order is changed into the original order by a first deinterleave circuit 34, and a second error correction codes  
15 is generated by an RS (255, 239) encoding circuit 5. The second error correction code is decoded by an RS (255, 239) decoding circuit 11 to correct errors of pieces of information, an order of the pieces of information is changed by a second interleave circuit 35, the first error correction code is decoded by an  
20 RS (239, 223) decoding circuit 36 to correct a residual error of the pieces of information, and the order is changed into the original order by a second deinterleave circuit 37.

[0018] FIG. 2 is a diagram showing an FEC multiplexing device  
25 according to Embodiment 1 of the present invention. In FIG.

2, the upper half indicates an FEC multiplexing circuit 22 in FIG. 1, and the lower half indicates an FEC demultiplexing circuit 26 in FIG. 1. In FIG. 1, reference numeral 1 denotes a first demultiplexing circuit (first demultiplexing unit) for demultiplexing 2.5-Gbit/s STM-16 data into 16 parallel 156-Mbit/s data, and reference numeral 2 denotes a second demultiplexing circuit (first demultiplexing unit) for demultiplexing the 16 parallel 156-Mbit/s data into 128 parallel 19-Mbit/s data. Reference numeral 31 denotes a first rate change circuit (first rate change unit) for adding a redundant information region to 128 parallel 19-Mbit/s data to increase a transmission rate to 22 Mbit/s by a rate corresponding to the redundant information region, and reference numeral 4 denotes an overhead insertion circuit 4 (overhead insertion unit) for inserting overhead information such as frame synthesis information into the redundant information region. Reference numeral 32 denotes a first interleave circuit (first interleave unit) for changing an order of 128 parallel 22-Mbit/s data, and reference numeral 33 denotes an RS (239, 223) encoding circuit for performing RS (239, 223) error correction encoding to store the redundant information of the error correction code in the redundant information region. Reference numeral 34 denotes a first deinterleave circuit (first deinterleave unit) for changing the order of the 128 parallel 22-Mbit/s data which is changed

by the first interleave circuit 32 into the original order again, and reference numeral 5 denotes an RS (255, 239) encoding circuit (second error correction encoding unit) for performing RS (255, 239) error correction encoding to store the redundant information of the error correction encoding in the redundant information region. Reference numeral 6 denotes a first multiplexing circuit (first multiplexing unit) for multiplexing 128 parallel 22-Mbit/s data into 16 parallel 179-Mbit/s data, and reference numeral 7 denotes a second multiplexing circuit (first multiplexing unit) for multiplexing the 16 parallel 179-Mbit/s data into a 2.86-Gbit/s FEC frame.

[0019] Reference numeral 8 denotes a third demultiplexing circuit (second demultiplexing unit) for demultiplexing the 2.86-Gbit/s FEC frame into 16 parallel 179-Mbit/s data, reference numeral 9 denotes a fourth demultiplexing circuit for demultiplexing the 16 parallel 179-Mbit/s data into 128 parallel 22-Mbit/s data, and reference numeral 10 denotes a frame synthesis circuit (frame synthesis unit) for detecting the start position of the 128 parallel 22-Mbit/s data depending on the overhead information stored in the redundant information region. Reference numeral 40 denotes an error correction circuit (error correction unit). In the error correction circuit 40, reference numeral 11 denotes an RS (255, 239) decoding circuit (second error correction decoding unit for

decoding the 128 parallel 22-Mbit/s data and correcting bit errors depending on decoding of RS (255, 239) error correction codes, reference numeral 35 denotes a second interleave circuit (second interleave unit) for changing an order of the 128 parallel 22-Mbit/s data into the same order as that in the first interleave circuit 32, reference numeral 36 denotes an RS (239, 223) decoding circuit (first error correction decoding unit) for decoding the 128 parallel 22 Mbit/s data except for RS (255, 239) redundant information and correcting bit errors depending on decoding of RS (239, 223) error correction codes, reference numeral 37 denotes a second deinterleave circuit (second deinterleave unit) for changing the order of the 128 parallel 22 Mbit/s data changed by the second interleave circuit 35 into the original order again, reference numeral 12 denotes a overhead separation circuit (overhead separation unit) for separating overhead information from redundant information region, and reference numeral 38 denotes a second rate change circuit (second rate change unit) for deleting the redundant information region from the 128 parallel 22 Mbit/s data to decrease the transmission rate to 19 Mbit/s by a rate corresponding to the deleted redundant information region. Reference numeral 14 denotes a third multiplexing circuit (second multiplexing unit) for multiplexing 128 parallel 19-Mbit/s data into 16 parallel 156-Mbit/s data, and reference numeral 15 denotes a fourth multiplexing circuit (second

multiplexing unit) for multiplexing the 16 parallel 156 Mbit/s data into 2.5-Gbit/s STM-16 data.

[0020] The operation will be described below. In FIG. 1, a first light receiver 21 receives an STM-16 optical signal to convert the optical signal into an electric signal. The FEC multiplexing circuit 22 demultiplexes the converted electric signal, stores overhead information and an error correction code in a redundant information region, and performs multiplexing to constitute an FEC frame. A first light transmitter 23 converts the FEC frame into an optical signal and transmits the optical signal to a light transmission path 24 constituted by an optical fiber. A second light receiver 25 converts the FEC frame transmitted through the light transmission path 24 from an optical signal into an electric signal. An FEC demultiplexing circuit 26 demultiplexes the converted electric signal, performs frame synthesis of the FEC frame depending on the overhead information stored in the redundant information region, decodes error correction codes to correct bit errors, deletes the redundant information region, and performs multiplexing again. A second light transmitter 27 converts an electric signal from the FEC demultiplexing circuit 26 into an optical signal to output an STM-16 optical signal. In this case, since an optical SNR on the light transmission path 24 is deteriorated by long-distance mass transmission of an optical signal, a large number of bit errors

occur in the FEC frame output from the second light receiver  
25. The bit errors are corrected by the FEC demultiplexing  
circuit 26, the bit error rate of the STM-16 optical signal  
output from the second light transmitter 27 is considerably  
5 improved, and communication service having predetermined  
quality can be provided.

[0021] In the upper half in FIG. 2, i.e., in the FEC multiplexing  
circuit 22, the first demultiplexing circuit 1 demultiplexes  
2.5-Gbit/s STM-16 data into 16 parallel 156-Mbit/s data, and  
10 the second demultiplexing circuit 2 demultiplexes the 16  
parallel 156-Mbit/s data into 128 parallel 19-Mbit/s data.  
The first rate change circuit 31 adds a redundant information  
region to the 128 parallel 19-Mbit/s data to increase a  
transmission rate to 22 Mbit/s by a rate corresponding to the  
15 redundant information region. The overhead insertion circuit  
4 inserts overhead information such as frame synthesis  
information required to maintain and operate the light  
transmission system into the redundant information region.  
The first interleave circuit 32 changes an order of the 128  
20 parallel 22 Mbit/s data, the RS (239, 223) encoding circuit  
33 performs RS (239, 223) error correction coding and stores  
the redundant information of the error correction codes in  
the redundant information region. The first deinterleave  
circuit 34 changes the order of the 128 parallel 22 Mbit/s  
25 data changed by the first interleave circuit 32 into the original

order again, and the encoding circuit 5 performs RS (255, 239) error correction encoding and stores the redundant information of the error correction codes in the redundant information region. The first multiplexing circuit 6 multiplexes the 128 parallel 22-Mbit/s data into 16 parallel 179-Mbit/s data, and the second multiplexing circuit 7 multiplexes the 16 parallel 179-Mbit/s data to output 2.86-Gbit/s FEC frame.

[0022] On the other hand, in the lower half in FIG. 2, i.e., in the FEC demultiplexing circuit 26, the second demultiplexing circuit 8 demultiplexes the 2.86-Gbit/s FEC frame into 16 parallel 179-Mbit/s data, and the fourth demultiplexing circuit 9 demultiplexes the 16 parallel 179-Mbit/s data into 128 parallel 22-Mbit/s data. The frame synthesis circuit 10 examines the overhead information stored in the redundant information region to detect the start position of the 128 parallel 22-Mbit/s data. The RS (255, 239) decoding circuit 11 in the error correction circuit 40 decodes the 128 parallel 22-Mbit/s data, and corrects bit errors depending on decoding of RS (255, 239) error correction codes. The second interleave circuit 35 changes the order of the 128 parallel 22-Mbit/s data as in the first interleave circuit 32, the RS (239, 223) decoding circuit 36 decodes the 128 parallel 22-Mbit/s data except for RS (255, 239) redundant information and corrects bit errors depending on decoding of RS (239, 223) error correction codes. The second deinterleave circuit 37 changes



the order of the 128 parallel 22-Mbit/s data changed by the second interleave circuit 35 into the original order again. An overhead separation circuit 12 separates overhead information from the redundant information region, and the  
5 second rate change circuit 38 deletes the redundant information region from the 128 parallel 22-Mbit/s data to decrease a transmission rate to 19 Mbit/s by a rate corresponding to the deleted redundant information region. The third multiplexing circuit 14 multiplexes the 128 parallel 19-Mbit/s data into  
10 16 parallel 156-Mbit/s data, and the fourth multiplexing circuit 15 multiplexes the 16 parallel 156-Mbit/s data to output 2.5-Gbit/s STM-16 data.

[0023] FIG. 3 is a diagram showing an FEC frame output from an overhead insertion circuit, FIG. 4 is a diagram showing  
15 an FEC frame output from an RS (239, 223) encoding circuit, and FIG. 5 is a diagram showing an FEC frame output from an RS (255, 239) encoding circuit and an FEC frame output from a second multiplexing circuit. As shown in FIG. 3, 128 parallel 22-Mbit/s data output from the overhead insertion circuit 4  
20 are constituted by  $n$  ( $n = 128$ ) sub-frames each consisting of 1-bit overhead information 222-bit STM-16 data, 16-bit RS (239, 223) redundant information, and 16-bit RS (255, 239) redundant information. In this case, the STM-16 data set as transmission information, and the overhead information, the RS (239, 223)  
25 redundant information, and the RS (255, 239) redundant

information are stored in the redundant information region. In the overhead insertion circuit 4, pieces of overhead information are stored in the respective overhead information regions of the sub-frames 1 to 128. In FIG. 3, the explanation is performed on the assumption that the sub-frames 1 to 128 are classified into  $m$  ( $m = 8$ ) sub-frames and that pieces of overhead information OH1 to OH16 in the overhead information regions of the sub-frames in  $n/m$  ( $128/8 = 16$ ) units. In the first interleave circuit 32, the 128 parallel 22-Mbit/s data shown in FIG. 3 are classified in  $m$  ( $m = 8$ ) sub-frames like the 128 parallel 22-Mbit/s data shown in FIG. 4, and the order of the sub-frames in  $n/m$  ( $128/8 = 16$ ) units is changed. As an example of a rearrangement of data, the following case is shown. That is, the first column is not replaced, the second column is upwardly shifted by one every 8 sub-frames, the third column is upwardly shifted by two, ..., the 16th column is upwardly shifted by 15, and the 17th column is upwardly shifted by 16 (unit that the 17th column is not replaced), i.e., interleave is performed  $l$  ( $l = 16$ ) times (interleave step). The RS (239, 223) encoding circuit 33 generates RS (239, 223) error correction codes every 8 sub-frames by using overhead information and STM-16 data as targets like the 128 parallel 22-Mbit/s data shown in FIG. 4, and stores the redundant information of the error correction codes in RS (239, 223) error correction code regions of the redundant information

region (first error correction code generation step), respectively. The first deinterleave circuit 34 changes the order of the 128 parallel 22-Mbit/s data shown in FIG. 4 every 8 sub-frames such that the STM-16 data regions have the original order like the 128 parallel 22-Mbit/s data shown in FIG. 5 (interleave step and deinterleave step). The RS (255, 239) encoding circuit 5 generates RS (255, 239) error correction codes every 8 sub-frames by using overhead information, STM-16 data, and RS (239, 223) redundant information as targets like the 128 parallel 22-Mbit/s data shown in the upper half in FIG. 5, and stores the redundant information of the error correction codes in the redundant information of the RS (255, 239) error correction codes of the redundant information region (second error correction code generation step), respectively.

The 128 parallel 22-Mbit/s data shown in the upper half in FIG. 5 are multiplexed by the first multiplexing circuit 6 and the second multiplexing circuit 7 to constitute 2.86-Gbit/s FEC frame shown in the lower half in FIG. 5. In this case, reference symbol  $f$  is given by  $(n/m = 128/8 = 16)$ . In the FEC frame in Embodiment 1, 33-bit redundant information region is added to 222-bit STM-16 data at a transmission rate of 2.86 Gbit/s of the original STM-16 data, and the transmission rate increases to a rate which is 255/222 times the above transmission rate. For this reason, the transmission rate of the FEC frame is 2.86 Gbit/s.

[0024] On the other hand, in the FEC demultiplexing circuit 26, the RS (255, 239) decoding circuit 11 performs RS (255, 239) error correction decoding to the overhead information of the 128 parallel 22-Mbit/s data shown in the upper half in FIG. 5, the STM-16 data, the RS (239, 223) redundant information, and the RS (255, 239) redundant information every 8 sub-frames, so that bit errors of the overhead information, the STM-16 data, the RS (239, 223) redundant information, and the RS (255, 239) redundant information are corrected depending on decoding of the RS (255, 239) error correction codes. In this case, when a large number of bit errors which cannot be corrected are generated, bit errors remain in output data of the RS (255, 239) decoding circuit 11. The second interleave circuit 35 changes the order of the 128 parallel 22-Mbit/s data into the order obtained by the first interleave circuit 32, and the RS (239, 223) decoding circuit 36 performs RS (239, 223) error correction decoding to the overhead information of the 128 parallel 22-Mbit/s data shown in FIG. 4, the STM-16 data, and the RS (239, 223) redundant information every 8 sub-frames to correct the bit errors remaining in the respective codes depending on decoding of the RS (239, 223) error correction codes. In this manner, the order of pieces of information subjected to the error correction encoding in the RS (255, 239) error correction codes is different from the order of pieces of information subjected to the error correction

encoding in the RS (239, 223) error correction codes. For this reason, the bit errors are dispersed in these codes, so that error correction performance can be considerably improved. The second deinterleave circuit 37 changes the order of the 128 parallel 22-Mbit/s data the order of which is changed by the second interleave circuit 35 into the original order again. [0025] As described above, according to Embodiment 1, in the FEC frame constituting method and the FEC multiplexing device, two types of error correction encodings are performed, the first interleave circuit 32, the first deinterleave circuit 34, the second interleave circuit 35, and the second deinterleave circuit 37 are arranged, the orders of pieces of information are changed between the two types of error correction codes. For this reason, error correction performance which is considerably higher than that of the configuration described in the prior art can be obtained. Even though a transmission rate increases 2.86 Gbit/s, a long-distance and large-capacity optical transmission system can be structured. In addition, the first interleave circuit 32 is arranged on the input stage of the RS (255, 239) encoding circuit 5 serving as the first stage circuit, and the first deinterleave circuit 34 is arranged on the input stage of the RS (255, 239) encoding circuit 5 serving as the next stage circuit. For this reason, data can be transmitted without changing the order of the STM-16 data in the FEC frame.

Furthermore, since the number of times of interleave, the number of times of deinterleave ( $l = 16$ ), and the number of units ( $n/m = 128/8 = 16$ ) of sub-frames to be interleaved and deinterleaved are equal to each other, pieces of information  
5 subjected to the error correction encoding are uniformly rearranged, and errors of the pieces of information are uniformly dispersed. For this reason, the error correction performance can be more improved, and the configuration of the FEC multiplexing device can be simplified and reduced in  
10 size.

[0026] Embodiment 2. FIG. 6 is a diagram showing an FEC multiplexing device according to Embodiment 2 of the present invention. In FIG. 6, a plurality of error correction circuit (error correction unit) 40 each constituted by an RS (255,  
15 239) decoding circuit 11, a second interleave circuit 35, an RS (239, 223) decoding circuit 36, and a second deinterleave circuit 37 are cascade-connected in a large number of stages.

[0027] The operation will be described below. In FIG. 6, the error correction circuits 40 are cascade-connected in a large  
20 number of stages in the FEC demultiplexing circuit 26. According to Embodiment 2, since correction of repetitive bit errors is sequentially repeated for two types of error correction codes, the error correction performance can be more improved, and the configuration of the FEC frame need not be  
25 changed. A long-distance and large-capacity optical

transmission system can be structured without changing hardware except that the error correction circuits 40 are cascade-connected in a large number of stages.

5 [BRIEF DESCRIPTION OF THE DRAWINGS]

[FIG. 2] FIG. 2 is a diagram showing the configuration of an FEC multiplexing device according to Embodiment 1 of the present invention.

10 [FIG. 6] FIG. 6 is a diagram showing the configuration of an FEC multiplexing device according to Embodiment 2 of the present invention.

[FIG. 2]

- 1: FIRST DEMULTIPLEXING CIRCUIT
- 2: SECOND DEMULTIPLEXING CIRCUIT
- 31: FIRST RATE CHANGE CIRCUIT
- 5 4: OVERHEAD INSERTION CIRCUIT
- 32: FIRST INTERLEAVE CIRCUIT
- 33: RS (239, 223) ENCODING CIRCUIT
- 34: FIRST DEINTERLEAVE CIRCUIT
- 5: RS (255, 239) ENCODING CIRCUIT
- 10 6: FIRST MULTIPLEXING CIRCUIT
- 7: SECOND MULTIPLEXING CIRCUIT
- 2.86-G FEC FRAME
- 15: FOURTH MULTIPLEXING CIRCUIT
- 14: THIRD MULTIPLEXING CIRCUIT
- 15 38: SECOND RATE CHANGE CIRCUIT
- 12: OVERHEAD SEPARATION CIRCUIT
- 37: SECOND DEINTERLEAVE CIRCUIT
- 36: RS (239, 223) DECODING CIRCUIT
- 35: SECOND INTERLEAVE CIRCUIT
- 20 11: RS (255, 239) DECODING CIRCUIT
- 40: ERROR CORRECTION CIRCUIT
- 10: FRAME SYNCHRONOUS CIRCUIT
- 9: FOURTH DEMULTIPLEXING CIRCUIT
- 8: THIRD DEMULTIPLEXING CIRCUIT
- 25 2.86-G FEC FRAME



[FIG. 6]

- 1: FIRST DEMULTIPLEXING CIRCUIT
- 2: SECOND DEMULTIPLEXING CIRCUIT
- 31: FIRST RATE CHANGE CIRCUIT
- 5 4: OVERHEAD INSERTION CIRCUIT
- 32: FIRST INTERLEAVE CIRCUIT
- 33: RS (239, 223) ENCODING CIRCUIT
- 34: FIRST DEINTERLEAVE CIRCUIT
- 5: RS (255, 239) ENCODING CIRCUIT
- 10 6: FIRST MULTIPLEXING CIRCUIT
- 7: SECOND MULTIPLEXING CIRCUIT
- 2.86-G FEC FRAME
- 15: FOURTH MULTIPLEXING CIRCUIT
- 14: THIRD MULTIPLEXING CIRCUIT
- 15 38: SECOND RATE CHANGE CIRCUIT
- 12: OVERHEAD SEPARATION CIRCUIT
- 40: ERROR CORRECTION CIRCUIT
- 40: ERROR CORRECTION CIRCUIT
- 10: FRAME SYNCHRONOUS CIRCUIT
- 20 9: FOURTH DEMULTIPLEXING CIRCUIT
- 8: THIRD DEMULTIPLEXING CIRCUIT
- 2.86-G FEC FRAME

(19) 日本国特許庁 (J P)

## (12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2001-168734

(P2001-168734A)

(43) 公開日 平成13年6月22日 (2001.6.22)

(51) Int.Cl.<sup>7</sup>

識別記号

F I

テーマコード(参考)

H 0 3 M 13/27

H 0 3 M 13/27

5 J 0 6 5

13/15

13/15

5 K 0 1 4

H 0 4 J 3/00

H 0 4 J 3/00

U 5 K 0 2 8

H 0 4 L 1/00

H 0 4 L 1/00

F

審査請求 未請求 請求項の数 8 O L (全 14 頁)

(21) 出願番号

特願平11-348084

(22) 出願日

平成11年12月7日 (1999.12.7)

(71) 出願人 000006013

三菱電機株式会社

東京都千代田区丸の内二丁目2番3号

(71) 出願人 595162345

ケイディディ海底ケーブルシステム株式会社

東京都新宿区西新宿3丁目7番1号

(72) 発明者 久保 和夫

東京都千代田区丸の内二丁目2番3号 三菱電機株式会社内

(74) 代理人 100066474

弁理士 田澤 博昭 (外1名)

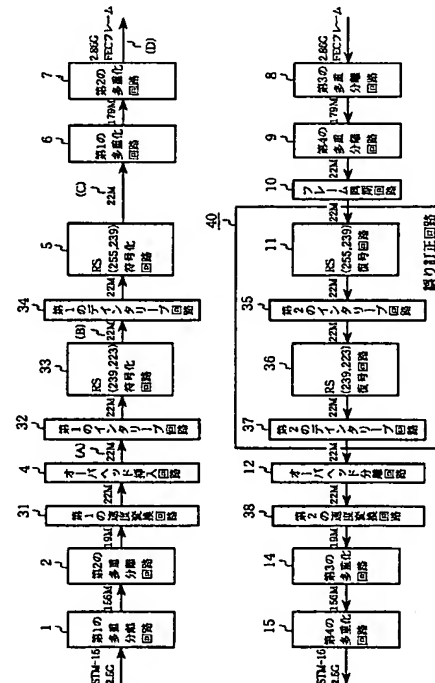
最終頁に続く

(54) 【発明の名称】 FECフレーム構成方法およびFEC多重化装置

(57) 【要約】

【課題】 誤り訂正性能を向上させる。

【解決手段】 第1のインタリーブ回路32によって情報の順序を組み替え、RS(239, 223)符号化回路33によって第1の誤り訂正符号を生成し、第1のデインタリーブ回路34によって元の順序に組み直し、RS(255, 239)符号化回路5によって第2の誤り訂正符号を生成する。RS(255, 239)復号回路11によって第2の誤り訂正符号を復号して情報の誤りを訂正し、第2のインタリーブ回路35によって情報の順序を組み替え、RS(239, 223)復号回路36によって第1の誤り訂正符号を復号して情報の残留した誤りを訂正し、第2のデインタリーブ回路37によって元の順序に組み直す。



## 【特許請求の範囲】

【請求項1】 光伝送システムに適用されるFECフレーム構成方法において、 $n$  ( $n$ は任意の自然数) 個のサブフレームにおけるオーバーヘッド情報からなる冗長情報および伝送情報に対して $m$  ( $m$ は自然数であり、かつ $n$ の因数) 個のサブフレーム毎に符号化し第1の誤り訂正符号を生成して、それら生成された第1の誤り訂正符号を冗長情報として付加する第1の誤り訂正符号生成工程と、上記第1の誤り訂正符号生成工程によって第1の誤り訂正符号が付加された $n$ 個のサブフレームを $m$ 個のサブフレーム毎に区分して、 $n/m$ 単位のサブフレームのオーバーヘッド情報および第1の誤り訂正符号からなる冗長情報および伝送情報のうちの少なくともいずれか一方に対して1 ( $1$ は任意の自然数) 回インタリーブするインタリーブ工程と、上記インタリーブ工程によってインタリーブされた $n$ 個のサブフレームにおけるオーバーヘッド情報および第1の誤り訂正符号からなる冗長情報および伝送情報に対して $m$ 個のサブフレーム毎に符号化し第2の誤り訂正符号を生成して、それら生成された第2の誤り訂正符号を冗長情報として付加する第2の誤り訂正符号生成工程と、上記第2の誤り訂正符号生成工程によって第2の誤り訂正符号が付加された $n$ 個のサブフレームを $n$ 多重化してFECフレームを生成するFECフレーム生成工程とを備えたFECフレーム構成方法。

【請求項2】 光伝送システムに適用されるFECフレーム構成方法において、 $n$  ( $n$ は任意の自然数) 個のサブフレームを $m$  ( $m$ は自然数であり、かつ $n$ の因数) 個のサブフレーム毎に区分して、 $n/m$ 単位のサブフレームのオーバーヘッド情報からなる冗長情報および伝送情報のうちの少なくともいずれか一方に対して1 ( $1$ は任意の自然数) 回インタリーブするインタリーブ工程と、上記インタリーブ工程によってインタリーブされた $n$ 個のサブフレームにおけるオーバーヘッド情報からなる冗長情報および伝送情報に対して $m$ 個のサブフレーム毎に符号化し第1の誤り訂正符号を生成して、それら生成された第1の誤り訂正符号を冗長情報として付加する第1の誤り訂正符号生成工程と、上記第1の誤り訂正符号生成工程によって第1の誤り訂正符号が付加された $n$ 個のサブフレームに対して1回デインタリーブして上記インタリーブ工程によってインタリーブされた情報を元の情報に戻すデインタリーブ工程と、上記デインタリーブ工程によってデインタリーブされた $n$ 個のサブフレームにおけるオーバーヘッド情報および第1の誤り訂正符号からなる冗長情報および伝送情報に対して $m$ 個のサブフレーム毎に符号化し第2の誤り訂正符号を生成して、それら生成された第2の誤り訂正符号を冗長情報として付加する第2の誤り訂正符号生成工程と、上記第2の誤り訂正符号生成工程によって第2の誤り訂正符号が付加された $n$ 個のサブフレームを $n$ 多重化してFECフレームを生成するFECフレーム生成工程とを備えたFECフレーム構

成方法。

【請求項3】  $1$ は $n/m$ であることを特徴とする請求項1または請求項2記載のFECフレーム構成方法。

【請求項4】  $1$ は $n/m$ の $k$  ( $k$ は任意の自然数) 倍であり、 $k$ 個のFECフレームを1周期として、各FECフレームのそれぞれ異なる情報に対して $n/m$ 回のインタリーブを行うことを特徴とする請求項1または請求項2記載のFECフレーム構成方法。

【請求項5】 第1の誤り訂正符号および第2の誤り訂正符号がそれぞれRS ( $q, r$ ) およびRS ( $p, q$ ) で表示されるリードソロモン符号 ( $p, q$ および $r$ は自然数であり、 $p > q > r$ 、 $p$ は第2の誤り訂正符号の符号長、 $q$ は第2の誤り訂正符号の情報長および第1の誤り訂正符号の符号長、 $r$ は第1の誤り訂正符号の情報長) であることを特徴とする請求項1または請求項2記載のFECフレーム構成方法。

【請求項6】 伝送情報を並列情報に多重分離する第1の多重分離手段と、上記第1の多重分離手段によって多重分離された並列情報に冗長情報領域を付加して伝送速度を上昇させる第1の速度変換手段と、上記第1の速度変換手段によって付加された冗長情報領域にオーバーヘッド情報を挿入するオーバーヘッド挿入手段と、上記オーバーヘッド挿入手段によってオーバーヘッド情報が挿入された並列情報の順序を組み替える第1のインタリーブ手段と、上記第1のインタリーブ手段によって順序が組み替えられた並列情報のオーバーヘッド情報および伝送情報に対して第1の誤り訂正符号を生成し、その生成された第1の誤り訂正符号を冗長情報領域に格納する第1の誤り訂正符号化手段と、上記第1の誤り訂正符号化手段によって冗長情報領域に第1の誤り訂正符号が格納された並列情報の上記第1のインタリーブ手段において組み替えられた順序を再び元の順序に組み直す第1のデインタリーブ手段と、上記第1のデインタリーブ手段によって組み直された並列情報のオーバーヘッド情報、伝送情報および第1の誤り訂正符号に対して第2の誤り訂正符号を生成し、その生成された第2の誤り訂正符号を冗長情報領域に格納する第2の誤り訂正符号化手段と、上記第2の誤り訂正符号化手段によって冗長情報領域に第2の誤り訂正符号が格納された並列情報を多重化してFECフレームを生成する第1の多重化手段と、上記第1の多重化手段によって生成され、光伝送路を通じて伝送されたFECフレームを並列情報に多重分離する第2の多重分離手段と、上記第2の多重分離手段によって多重分離された並列情報の冗長情報領域に格納されたオーバーヘッド情報に応じて並列情報の先頭位置を検出するフレーム同期手段と、上記フレーム同期手段によって同期された並列情報の冗長情報領域に格納された第2の誤り訂正符号を復号処理し、並列情報の誤りを訂正する第2の誤り訂正復号手段と、上記第2の誤り訂正復号手段によって誤りが訂正された並列情報の順序を上記第1のインタリーブ

手段と同様に組み替える第2のインタリーブ手段と、上記第2のインタリーブ手段によって組み替えられた並列情報の冗長情報領域に格納された第1の誤り訂正符号を復号処理し、並列情報の残留した誤りを訂正する第1の誤り訂正復号手段と、上記第1の誤り訂正復号手段によって誤りが訂正された並列情報の上記第2のインタリーブ手段において組み替えられた順序を再び元の順序に組み直す第2のデインタリーブ手段と、上記第2のデインタリーブ手段によって組み直された並列情報の冗長情報領域に格納されたオーバーヘッド情報を分離するオーバーヘッド分離手段と、上記オーバーヘッド分離手段によってオーバーヘッド情報が分離された並列情報の冗長情報領域を削除して伝送速度を低下させる第2の速度変換手段と、上記第2の速度変換手段によって冗長情報領域が削除された並列情報を多重化して伝送情報を出力する第2の多重化手段とを備えたFEC多重化装置。

【請求項7】 第2の誤り訂正復号手段、第2のインタリーブ手段、第1の誤り訂正復号手段、および第2のデインタリーブ手段からなる誤り訂正手段を多段縦続接続したことを特徴とする請求項6記載のFEC多重化装置。

【請求項8】 請求項1または請求項2記載のFECフレーム構成方法に応じてFECフレームを構成すると共に、その構成されたFECフレームを処理することとを特徴とする請求項6または請求項7記載のFEC多重化装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】この発明は、光伝送システムにおいてFEC (Forward Error Correction) により光SNRの劣化によるビット誤りを訂正して長距離、大容量伝送を実現するためのFECフレーム構成方法およびFEC多重化装置に関するものである。

【0002】

【従来の技術】図8は例えばITU-T勧告G. 975に示された従来のFEC多重化装置を示す構成図であり、図において、1は2.5 Gbit/s STM-16データを16並列156 Mbit/sデータに多重分離する第1の多重分離回路、2は16並列156 Mbit/sデータを128並列19 Mbit/sデータに多重分離する第2の多重分離回路である。3は128並列19 Mbit/sデータに冗長情報領域を付加して、その冗長情報領域を付加した分だけ伝送速度を21 Mbit/sに上昇させる第1の速度変換回路、4は光伝送システムの保守、運用に必要な例えばフレーム同期情報等のオーバーヘッド情報を冗長情報領域に挿入するオーバーヘッド挿入回路である。5はオーバーヘッド情報およびSTM-16データに対して誤り訂正符号を生成し、その冗長情報を冗長情報領域に格納するリードソロモン (RS)

符号で表わされるRS (255, 239) 符号化回路、6はオーバーヘッド情報および誤り訂正符号が付加されたSTM-16データを16並列167 Mbit/sデータに多重化する第1の多重化回路、7は16並列167 Mbit/sデータを2.66 Gbit/s FECフレームに多重化する第2の多重化回路である。

【0003】また、8は第2の多重化回路7によって多重化され、光伝送路を通じて伝送された2.66 Gbit/s FECフレームを16並列167 Mbit/sデータに多重分離する第3の多重分離回路、9は16並列167 Mbit/sデータを128並列21 Mbit/sデータに多重分離する第4の多重分離回路である。10は128並列21 Mbit/sデータに付加された冗長情報領域のオーバーヘッド情報に応じて128並列21 Mbit/sデータの先頭位置を検出するフレーム同期回路、11は128並列21 Mbit/sデータの復号処理を行い、付加された冗長情報領域の誤り訂正符号の復号に応じてFECフレーム内のデータの誤りを検出して、元の正しいデータに訂正するRS (255, 239) 復号回路である。12は128並列21 Mbit/sデータの冗長情報領域からオーバーヘッド情報を分離するオーバーヘッド分離回路、13は128並列21 Mbit/sデータから冗長情報領域を削除して、冗長情報領域を削除した分だけ伝送速度を19 Mbit/sに低下させる第2の速度変換回路、14は128並列19 Mbit/sデータを16並列156 Mbit/sデータに多重化する第3の多重化回路、15は16並列156 Mbit/sデータを2.5 Gbit/s STM-16データに多重化する第4の多重化回路である。

【0004】次に動作について説明する。図8において、第1の多重分離回路1は、2.5 Gbit/s STM-16データを16並列156 Mbit/sデータに多重分離し、さらに、第2の多重分離回路2は、16並列156 Mbit/sデータを128並列19 Mbit/sデータに多重分離する。第1の速度変換回路3は、128並列19 Mbit/sデータに冗長情報領域を付加して、その冗長情報領域を付加した分だけ伝送速度を上昇させ、128並列21 Mbit/sデータに変換し、オーバーヘッド挿入回路4は、冗長情報領域に光伝送システムの保守、運用に必要な例えばフレーム同期情報等のオーバーヘッド情報を挿入する。RS (255, 239) 符号化回路5は、オーバーヘッド情報およびSTM-16データに対して誤り訂正符号を生成し、その冗長情報を冗長情報領域に格納する。第1の多重化回路6は、オーバーヘッド情報および冗長情報が付加されたSTM-16データを16並列167 Mbit/sデータに多重化し、さらに、第2の多重化回路7は、16並列167 Mbit/sデータを2.66 Gbit/s FECフレームに多重化して、光伝送路に伝送する。

【0005】また、第3の多重分離回路8は、第2の多

重化回路7によって多重化され、光伝送路を通じて伝送された2.66Gbit/s FECフレームを16並列167Mbit/sデータに多重分離し、さらに、第4の多重分離回路9は、16並列167Mbit/sデータを128並列21Mbit/sデータに多重分離する。フレーム同期回路10は、128並列21Mbit/sデータに付加された冗長情報領域のオーバーヘッド情報に応じて128並列21Mbit/sデータの先頭位置を検出し、RS(255, 239)復号回路11は、128並列21Mbit/sデータを復号処理し、付加された冗長情報領域の誤り訂正符号の冗長情報の復号に応じてFECフレーム内のデータの誤りを検出して、元の正しいデータに訂正する。オーバーヘッド分離回路12は、128並列21Mbit/sデータの冗長情報領域からオーバーヘッド情報を分離し、第2の速度変換回路13は、128並列21Mbit/sデータから冗長情報領域を削除して、冗長情報領域を削除した分だけ伝送速度を19Mbit/sに低下させ、第3の多重化回路14は、128並列19Mbit/sデータを16並列156Mbit/sデータに多重化し、さらに、第4の多重化回路15は、16並列156Mbit/sデータを2.5Gbit/s STM-16データに多重化する。

【0006】図9はオーバーヘッド挿入回路から出力されるFECフレームを示す構成図であり、図10はRS(255, 239)符号化回路から出力されるFECフレームおよび第2の多重化回路から出力されるFECフレームを示す構成図である。図9に示すように、オーバーヘッド挿入回路4から出力されるFECフレームは、1ビットのオーバーヘッド情報、238ビットのSTM-16データ、16ビットのRS(255, 239)誤り訂正符号からなるサブフレーム1~128により構成され、図10に示すように、RS(255, 239)符号化回路5によって、8サブフレーム毎に誤り訂正符号化される。例えば、サブフレーム1~8では、オーバーヘッド情報およびSTM-16データに対して誤り訂正符号ER0-0~ER0-15の演算が行われ、16ビットのRS(255, 239)冗長情報領域に格納される。また、第2の多重化回路7から出力されるFECフレームは、サブフレーム1~128を順次多重化することにより生成される。ここで、fは任意の自然数であり、誤り訂正符号ER0-0~ER0-15の多重化数を示しており、図9および図10においては、f=16の例を示している。このFECフレームでは、第2の多重分離回路2から出力されるFECフレームが238ビットのSTM-16データであるのに対して、第1の速度変換回路3によって、1ビットのオーバーヘッド情報および16ビットのRS(255, 239)冗長情報からなる冗長情報領域が付加され、その冗長情報領域を付加した分だけ伝送速度が上昇されるので、元のSTM-16データの伝送速度に対して伝送速度が255/238倍上昇

し、FECフレームの伝送速度は2.5Gbit/sから2.66Gbit/sとなる。このように、FECフレームを構成することにより、ビット誤りを訂正することができるので、光SNRの劣化する光伝送システムにおいて、高品質なサービスを提供することができ、長距離、あるいは、大容量光伝送システムを構築することが可能となる。また、図9および図10に示したFECフレーム構成において、サブフレームにおけるSTM-16データを短縮して238ビットから110ビットとして、RS(255, 239)誤り訂正符号化をRS(127, 111)誤り訂正符号化とすれば、対象とする情報に対する誤り訂正符号の比率が上昇するため、誤り訂正性能を向上させることができる。

【0007】

【発明が解決しようとする課題】従来のFECフレーム構成方法およびFEC多重化装置は以上のように構成されているので、光伝送路の伝送距離をより長距離としたり、または、波長多重システムにおいて波長数を増加させると、光SNRが大幅に劣化するので、これを補うために、例えば、対象とする情報に対する誤り訂正符号の比率を上昇させることによりある程度までは補正できるが、この対象とする情報に対する誤り訂正符号の比率の上昇によって、第1の速度変換回路3による伝送速度の上昇比率をより高めなくてはならず、例えば、RS(127, 111)誤り訂正符号化ではSTM-16データの伝送速度が2.5Gbit/sに対してFECフレームの伝送速度が127/110倍の2.89Gbit/sとなり、光伝送特性の劣化量が大きくなってしまふ。このため、対象とする情報に対する誤り訂正符号の比率を上昇させても所定の品質の長距離、大容量光伝送システムを構築できないなどの課題があった。

【0008】この発明は、上記のような課題を解決するためになされたもので、情報に対する誤り訂正符号の比率が上昇して伝送速度が上昇し、光伝送特性の劣化量が増加しても、大幅な誤り訂正性能の向上が可能なFECフレーム構成方法およびFEC多重化装置を得ることを目的とする。

【0009】

【課題を解決するための手段】この発明に係るFECフレーム構成方法は、n個のサブフレームにおける情報に対してm個のサブフレーム毎に符号化し第1の誤り訂正符号を生成して付加する第1の誤り訂正符号生成工程と、第1の誤り訂正符号が付加されたn個のサブフレームをm個のサブフレーム毎に区分して、n/m単位のサブフレームの情報に対して1回インタリーブするインタリーブ工程と、n個のサブフレームにおける情報に対してm個のサブフレーム毎に符号化し第2の誤り訂正符号を生成して付加する第2の誤り訂正符号生成工程と、第2の誤り訂正符号が付加されたn個のサブフレームをn

成工程とを備えたものである。

【0010】この発明に係るFECフレーム構成方法は、 $n$ 個のサブフレームを $m$ 個のサブフレーム毎に区分して、 $n/m$ 単位のサブフレームの情報に対して1回インタリーブして $n$ 個のサブフレームを生成するインタリーブ工程と、 $n$ 個のサブフレームにおける情報に対して $m$ 個のサブフレーム毎に符号化し第1の誤り訂正符号を生成して付加する第1の誤り訂正符号生成工程と、第1の誤り訂正符号が付加された $n$ 個のサブフレームに対して1回デインタリーブしてインタリーブ工程によってインタリーブされた情報を元の情報に戻すデインタリーブ工程と、 $n$ 個のサブフレームにおける情報に対して $m$ 個のサブフレーム毎に符号化し第2の誤り訂正符号を生成して付加する第2の誤り訂正符号生成工程と、第2の誤り訂正符号が付加された $n$ 個のサブフレームを $n$ 多重化してFECフレームを生成するFECフレーム生成工程とを備えたものである。

【0011】この発明に係るFECフレーム構成方法は、 $l$ を $n/m$ としたものである。

【0012】この発明に係るFECフレーム構成方法は、 $l$ は $n/m$ の $k$ 倍であり、 $k$ 個のFECフレームを1周期として、各FECフレームのそれぞれ異なる情報に対して $n/m$ 回のインタリーブを行うものである。

【0013】この発明に係るFECフレーム構成方法は、第1の誤り訂正符号および第2の誤り訂正符号がそれぞれRS( $q$ ,  $r$ )およびRS( $p$ ,  $q$ )で表示されるリードソロモン符号( $p$ ,  $q$ および $r$ は自然数であり、 $p > q > r$ 、 $p$ は第2の誤り訂正符号の符号長、 $q$ は第2の誤り訂正符号の情報長および第1の誤り訂正符号の符号長、 $r$ は第1の誤り訂正符号の情報長)としたものである。

【0014】この発明に係るFEC多重化装置は、第1のインタリーブ手段によって順序が組み替えられた並列情報に対して第1の誤り訂正符号を生成し、冗長情報領域に格納する第1の誤り訂正符号化手段と、第1のデインタリーブ手段によって組み直された並列情報に対して第2の誤り訂正符号を生成し、冗長情報領域に格納する第2の誤り訂正符号化手段と、光伝送路を通じて伝送されたFECフレームの並列情報の冗長情報領域に格納された第2の誤り訂正符号を復号処理し、並列情報の誤りを訂正する第2の誤り訂正復号手段と、第2のインタリーブ手段によって組み替えられた並列情報の冗長情報領域に格納された第1の誤り訂正符号を復号処理し、並列情報の残留した誤りを訂正する第1の誤り訂正復号手段と、並列情報の第2のインタリーブ手段において組み替えられた順序を再び元の順序に組み直す第2のデインタリーブ手段とを備えたものである。

【0015】この発明に係るFEC多重化装置は、第2の誤り訂正復号手段、第2のインタリーブ手段、第1の誤り訂正復号手段、および第2のデインタリーブ手段か

らなる誤り訂正手段を多段連続接続したものである。

【0016】この発明に係るFEC多重化装置は、FECフレーム構成方法に応じてFECフレームを構成すると共に、その構成されたFECフレームを処理するものである。

【0017】

【発明の実施の形態】以下、この発明の実施の一形態を説明する。

実施の形態1. 図1はこの発明の実施の形態1によるFECフレーム構成方法およびFEC多重化装置を適用した光伝送システムを示す構成図であり、図において、21はSTM-16光信号を受信し、光信号を電気信号に変換する第1の光受信器、22は第1の光受信器21からの電気信号を多重分離し、オーバーヘッド情報の挿入、および誤り訂正符号化等を行った後で再び多重化を行い、FECフレームを構成するFEC多重化回路(FEC多重化装置)、23はFECフレームを光信号に変換する第1の光送信器である。24は光信号のFECフレームを伝送する光伝送路、25は光伝送路24によって伝送されたFECフレームを光信号から電気信号に変換する第2の光受信器、26は第2の光受信器25からの電気信号を多重分離し、FECフレームのフレーム同期、誤り訂正符号の復号およびオーバーヘッド情報の分離等の処理を行った後で、再び多重化を行うFEC多重分離回路(FEC多重化装置)、27はFEC多重分離回路26からの電気信号を光信号に変換してSTM-16光信号を出力する第2の光送信器である。

【0018】図2はこの発明の実施の形態1によるFEC多重化装置を示す構成図であり、図において、上段は図1におけるFEC多重化回路22、下段は図1におけるFEC多重分離回路26を示すものである。図において、1は2.5Gbit/s STM-16データを16並列156Mbit/sデータに多重分離する第1の多重分離回路(第1の多重分離手段)、2は16並列156Mbit/sデータを128並列19Mbit/sデータに多重分離する第2の多重分離回路(第1の多重分離手段)である。31は128並列19Mbit/sデータに冗長情報領域を付加して、その冗長情報領域を付加した分だけ伝送速度を22Mbit/sに上昇させる第1の速度変換回路(第1の速度変換手段)、4は光伝送システムの保守、運用に必要な例えば、フレーム同期情報等のオーバーヘッド情報を冗長情報領域に挿入するオーバーヘッド挿入回路(オーバーヘッド挿入手段)である。32は128並列22Mbit/sデータの順序を組み替える第1のインタリーブ回路(第1のインタリーブ手段)、33はRS(239, 223)誤り訂正符号化を行い、その誤り訂正符号の冗長情報を冗長情報領域に格納するRS(239, 223)符号化回路(第1の誤り訂正符号化手段)である。34は第1のインタリーブ回路32において組み替えられた128並列22Mbit

／sデータの順序を再び元の順序に組み直す第1のデインタリーブ回路（第1のデインタリーブ手段）、5はRS（255，239）誤り訂正符号化を行い、その誤り訂正符号の冗長情報を冗長情報領域に格納するRS（255，239）符号化回路（第2の誤り訂正符号化手段）である。6は128並列22Mbit／sデータを16並列179Mbit／sデータに多重化する第1の多重化回路（第1の多重化手段）、7は16並列179Mbit／sデータを2.86Gbit／s FECフレームに多重化する第2の多重化回路（第1の多重化手段）である。

【0019】8は2.86Gbit／s FECフレームを16並列179Mbit／sデータに多重分離する第3の多重分離回路（第2の多重分離手段）、9は16並列179Mbit／sデータを128並列22Mbit／sデータに多重分離する第4の多重分離回路（第2の多重分離手段）、10は冗長情報領域に格納されたオーバーヘッド情報に応じて128並列22Mbit／sデータの先頭位置を検出するフレーム同期回路（フレーム同期手段）である。40は誤り訂正回路（誤り訂正手段）であり、この誤り訂正回路40において、11は128並列22Mbit／sデータを復号処理し、RS（255，239）誤り訂正符号の復号に応じて、ビット誤りを訂正するRS（255，239）復号回路（第2の誤り訂正復号手段）、35は128並列22Mbit／sデータの順序を第1のインタリーブ回路32と同様に組み替える第2のインタリーブ回路（第2のインタリーブ手段）、36はRS（255，239）冗長情報を除く128並列22Mbit／sデータを復号処理し、RS（239，223）誤り訂正符号の復号に応じてビット誤りを訂正するRS（239，223）復号回路（第1の誤り訂正復号手段）、37は第2のインタリーブ回路35において組み替えられた128並列22Mbit／sデータの順序を再び元の順序に組み直す第2のデインタリーブ回路（第2のデインタリーブ手段）である。12は冗長情報領域からオーバーヘッド情報を分離するオーバーヘッド分離回路（オーバーヘッド分離手段）、38は128並列22Mbit／sデータから冗長情報領域を削除して、その冗長情報領域を削除した分だけ、伝送速度を19Mbit／sに低下させる第2の速度変換回路（第2の速度変換手段）である。14は128並列19Mbit／sデータを16並列156Mbit／sデータに多重化する第3の多重化回路（第2の多重化手段）、15は16並列156Mbit／sデータを2.5Gbit／s STM-16データに多重化する第4の多重化回路（第2の多重化手段）である。

【0020】次に動作について説明する。図1において、第1の光受信器21は、STM-16光信号を受信し、光信号を電気信号に変換する。FEC多重化回路22は、その変換された電気信号を多重分離し、冗長情報

領域にオーバーヘッド情報、および誤り訂正符号を格納して、再び多重化を行いFECフレームを構成する。第1の光送信器23は、FECフレームを光信号に変換して光ファイバからなる光伝送路24に送出する。第2の光受信器25は、光伝送路24を通じて伝送されたFECフレームを光信号から電気信号に変換する。FEC多重分離回路26は、その変換された電気信号を多重分離し、冗長情報領域に格納されたオーバーヘッド情報に応じてFECフレームをフレーム同期させると共に、誤り訂正符号を復号してビット誤りを訂正して、さらに、冗長情報領域を削除して、再び多重化を行う。第2の光送信器27は、FEC多重分離回路26からの電気信号を光信号に変換してSTM-16光信号を出力する。ここで、光伝送路24では光信号の長距離大容量伝送に起因して光SNRが劣化するので、第2の光受信器25から出力されるFECフレームでは多数のビット誤りが生じており、このビット誤りはFEC多重分離回路26で訂正され、第2の光送信器27が出力するSTM-16光信号のビット誤り率が大幅に向上し、所定の品質の通信サービスを提供することができる。

【0021】図2の上段、すなわち、FEC多重化回路22において、第1の多重分離回路1は、2.5Gbit／s STM-16データを16並列156Mbit／sデータに多重分離し、第2の多重分離回路2は、16並列156Mbit／sデータを128並列19Mbit／sデータに多重分離する。第1の速度変換回路31は、128並列19Mbit／sデータに冗長情報領域を付加して、その冗長情報領域を付加した分だけ伝送速度を22Mbit／sに上昇させ、オーバーヘッド挿入回路4は、光伝送システムの保守、運用に必要な例えば、フレーム同期情報等のオーバーヘッド情報を冗長情報領域に挿入する。第1のインタリーブ回路32は、128並列22Mbit／sデータの順序を組み替え、RS（239，223）符号化回路33は、RS（239，223）誤り訂正符号化を行い、その誤り訂正符号の冗長情報を冗長情報領域に格納する。第1のデインタリーブ回路34は、第1のインタリーブ回路32において組み替えられた128並列22Mbit／sデータの順序を再び元の順序に組み直し、RS（255，239）符号化回路5は、RS（255，239）誤り訂正符号化を行い、その誤り訂正符号の冗長情報を冗長情報領域に格納する。第1の多重化回路6は、128並列22Mbit／sデータを16並列179Mbit／sデータに多重化し、第2の多重化回路7は、さらに16並列179Mbit／sデータを多重化して2.86Gbit／s FECフレームを出力する。

【0022】一方、図2の下段、すなわち、FEC多重分離回路26において、第3の多重分離回路8は、2.86Gbit／s FECフレームを16並列179Mbit／sデータに多重分離し、第4の多重分離回路9



は、さらに16並列179Mbit/sデータを128並列22Mbit/sデータに多重分離する。フレーム同期回路10は、冗長情報領域に格納されたオーバーヘッド情報を検出し、128並列22Mbit/sデータの先頭位置を検出する。誤り訂正回路40におけるRS(255, 239)復号回路11は、128並列22Mbit/sデータを復号処理し、RS(255, 239)誤り訂正符号の復号に応じてビット誤りを訂正する。第2のインタリーブ回路35は、128並列22Mbit/sデータの順序を第1のインタリーブ回路32と同様に組み替え、RS(239, 223)復号回路36は、RS(255, 239)冗長情報を除く128並列22Mbit/sデータを復号処理し、RS(239, 223)誤り訂正符号の復号に応じてビット誤りを訂正する。第2のデインタリーブ回路37は、第2のインタリーブ回路35において組み替えられた128並列22Mbit/sデータの順序を再び元の順序に組み直す。オーバーヘッド分離回路12は、冗長情報領域からオーバーヘッド情報を分離し、第2の速度変換回路38は、128並列22Mbit/sデータから冗長情報領域を削除し、その冗長情報領域を削除した分だけ伝送速度を19Mbit/sに低下させる。第3の多重化回路14は、128並列19Mbit/sデータを16並列156Mbit/sデータに多重化し、第4の多重化回路15は、さらに16並列156Mbit/sデータを多重化して2.56Gbit/s STM-16データを出力する。

【0023】図3はオーバーヘッド挿入回路から出力されるFECフレームを示す構成図であり、図4はRS(239, 223)符号化回路から出力されるFECフレームを示す構成図であり、図5はRS(255, 239)符号化回路から出力されるFECフレームおよび第2の多重化回路から出力されるFECフレームを示す構成図である。図3に示すように、オーバーヘッド挿入回路4から出力される128並列22Mbit/sデータは、1ビットのオーバーヘッド情報、222ビットのSTM-16データ、16ビットのRS(239, 223)冗長情報、および16ビットのRS(255, 239)冗長情報からなる $n$  ( $n=128$ )個のサブフレームにより構成されている。ここで、STM-16データを伝送情報とし、オーバーヘッド情報、RS(239, 223)冗長情報、およびRS(255, 239)冗長情報は、冗長情報領域に格納されるものとする。オーバーヘッド挿入回路4では、サブフレーム1~128のそれぞれのオーバーヘッド情報領域にオーバーヘッド情報を格納する。図3では、サブフレーム1~128を $m$  ( $m=8$ )個のサブフレーム毎に区分して、 $n/m$  ( $128/8=16$ )単位のサブフレームのオーバーヘッド情報領域にオーバーヘッド情報OH1~OH16が格納されているものとして示している。第1のインタリーブ回路32では、図3に示し

た128並列22Mbit/sデータに対し、図4に示す128並列22Mbit/sデータのように $m$  ( $m=8$ )個のサブフレーム毎に区分して、 $n/m$  ( $128/8=16$ )単位のサブフレームのデータの順序を組み替える。ここでは、データの組み替えの一例として、1列目は入れ替えなし、2列目は8サブフレーム毎に1つ上にシフト、3列目は2つ上にシフト、・・・、16列目は上に15シフト、17列目は上に16シフト(入れ替えなしと同一)の場合、すなわち、1 ( $1=16$ )回インタリーブした場合を示している(インタリーブ工程)。RS(239, 223)符号化回路33は、図4に示した128並列22Mbit/sデータのように、オーバーヘッド情報およびSTM-16データを対象として、8個のサブフレーム毎にRS(239, 223)誤り訂正符号を生成し、その誤り訂正符号の冗長情報を冗長情報領域のRS(239, 223)誤り訂正符号領域にそれぞれ格納する(第1の誤り訂正符号生成工程)。第1のデインタリーブ回路34は、図4に示した128並列22Mbit/sデータに対して、図5に示す128並列22Mbit/sデータのようにSTM-16データ領域が元の順序となるように8個のサブフレーム毎にデータの順序を組み直す(インタリーブ工程、デインタリーブ工程)。RS(255, 239)符号化回路5は、図5の上段に示した128並列22Mbit/sデータのように、オーバーヘッド情報、STM-16データおよびRS(239, 223)冗長情報を対象として、8個のサブフレーム毎にRS(255, 239)誤り訂正符号を生成し、その誤り訂正符号の冗長情報を冗長情報領域のRS(255, 239)誤り訂正符号の冗長領域にそれぞれ格納する(第2の誤り訂正符号生成工程)。図5の上段に示した128並列22Mbit/sデータは、第1の多重化回路6および第2の多重化回路7において多重化され、図5の下段に示す2.86Gbit/s FECフレームが構成される。ここで、 $f$ は( $n/m=128/8=16$ )である。この実施の形態1のFECフレームでは、元のSTM-16データの2.86Gbit/sの伝送速度に対して、222ビットのSTM-16データに33ビットの冗長情報領域が付加され、伝送速度が255/222倍に上昇するので、FECフレームの伝送速度は2.86Gbit/sとなる。

【0024】一方、FEC多重分離回路26においては、RS(255, 239)復号回路11で、図5の上段に示した128並列22Mbit/sデータのオーバーヘッド情報、STM-16データ、RS(239, 223)冗長情報、およびRS(255, 239)冗長情報に対して8個のサブフレーム毎にRS(255, 239)誤り訂正復号化を行うことにより、RS(255, 239)誤り訂正符号の復号に応じて、オーバーヘッド情報、STM-16データ、RS(239, 223)の冗



長情報およびRS (255, 239) 冗長情報のビット誤りを訂正する。ここで、訂正性能を越える多数のビット誤りが発生している場合には、RS (255, 239) 復号回路11の出力データにはビット誤りが残留する。第2のインタリーブ回路35は、128並列22Mbit/sデータの順序を第1のインタリーブ回路32と同様に組み替え、RS (239, 223) 復号回路36は、図4に示した128並列22Mbit/sデータのオーバーヘッド情報、STM-16データ、およびRS (239, 223) 冗長情報に対して8個のサブフレーム毎にRS (239, 223) 誤り訂正復号化を行うことにより、RS (239, 223) 誤り訂正符号の復号に応じて、各符号内に残留したビット誤りを訂正する。このように、RS (255, 239) 誤り訂正符号とRS (239, 223) 誤り訂正符号とでは、誤り訂正符号化の対象となる情報が組み替えられており、このためビット誤りが各符号間で分散するので、大幅に誤り訂正性能を向上することが可能となる。第2のデインタリーブ回路37は、第2のインタリーブ回路35において組み替えられた128並列22Mbit/sデータの順序を再び元の順序に組み直す。

【0025】以上のように、この実施の形態1によれば、FECフレーム構成方法およびFEC多重化装置において、2種類の誤り訂正符号化を行い、第1のインタリーブ回路32、第1のデインタリーブ回路34、第2のインタリーブ回路35、および第2のデインタリーブ回路37を配置し、2種類の誤り訂正符号間で情報の組み替えを行っているので、従来の技術で示した構成に比べて大幅に誤り訂正性能が向上し、伝送速度が2.89Gbit/sに上昇しても、長距離で大容量の光伝送システムを構築することが可能となる。また、初段のRS (239, 223) 符号化回路33の前段に第1のインタリーブ回路32を配置し、次段のRS (255, 239) 符号化回路5の前段に第1のデインタリーブ回路34を配置しているので、FECフレーム内のSTM-16データの順序を替えずに伝送することができる。さらに、インタリーブ回数およびデインタリーブ回数 ( $l=16$ ) と、インタリーブおよびデインタリーブされるサブフレームの単位数 ( $n/m=128/8=16$ ) を同一としたので、誤り訂正符号化の対象となる情報が均等に組み替えられ、情報の誤りが均等に分散されるので、誤り訂正性能をさらに向上させることができると共に、このFEC多重化装置の構成を容易にし、小型化することができる。

【0026】実施の形態2。図6はこの発明の実施の形態2によるFEC多重化装置を示す構成図であり、RS (255, 239) 復号回路11、第2のインタリーブ回路35、RS (239, 223) 復号回路36、および第2のデインタリーブ回路37からなる誤り訂正回路 (誤り訂正手段) 40を多段縦続接続したものである。

【0027】次に動作について説明する。図6はFEC多重分離回路26において、誤り訂正回路40を多段縦続接続したものであり、この実施の形態2によれば、2種類の誤り訂正符号に対して繰り返しビット誤りの訂正を順次繰り返すので、さらに誤り訂正性能を向上させることができると共に、FECフレームの構成を変更する必要がなく、また、誤り訂正回路40を多段縦続接続する以外のハードウェアの変更なしで、さらに、長距離、大容量光伝送システムを構築することが可能となる。

【0028】実施の形態3。図7はこの発明の実施の形態3によるFECフレーム構成方法を示す説明図であり、 $k$  ( $k=4$ ) 個のFECフレームを1周期として、各FECフレームのインタリーブを行う情報を16ビットずつずらして、 $n/m (=128/8=16)$  回ずつインタリーブして、全1回 ( $l$ は $n/m$ の $k$ 倍:  $16 \times 4=64$ ) 回インタリーブを行うようにするものである。

【0029】次に動作について説明する。上記実施の形態1では、2種類の符号間のインタリーブ数  $l$  が、 $l=16$  の場合を示したが、インタリーブ数  $l$  をたとえば、 $l=32, 48, 64, \dots$  のように16の自然数倍とすることにより、伝送速度の上昇率を一定に保ったままで誤り訂正性能を向上させることが可能である。図7は4個のFECフレームを1周期とした場合を示しており、各FECフレームのインタリーブを行う情報を16ビットずつずらして、16回ずつインタリーブして、全  $16 \times 4=64$  回インタリーブを行うようにすればよい。

【0030】以上のように、この実施の形態3によれば、FECフレームの基本構成を変更することなく、また、ハードウェアについては第1のインタリーブ回路32、第1のデインタリーブ回路34、第2のインタリーブ回路35、および第2のデインタリーブ回路37の変更のみで、伝送速度の上昇率を一定に保ったままで誤り訂正性能を向上させることが可能であり、さらに光SNRの劣化量の大きい長距離、大容量光伝送システムを構築することが可能となる。

【0031】実施の形態4。上記実施の形態において、FECフレームの速度を2.86Gbit/sとして、光伝送路24を伝送する例を示したが、複数のFECフレームをさらに多重化し、光伝送路24を伝送する光信号の伝送速度を  $a \times 2.86$  Gbit/s としてもよく ( $a$ は任意の自然数)、また、伝送情報として2.5Gbit/sのSTM-16データとして説明したが、FEC多重化回路22およびFEC多重分離回路26を  $b$  個配置して  $b$  系統のFECフレームを処理する構成とし ( $b$ は任意の自然数)、情報を  $b \times 2.5$  Gbit/sのデータ (例えば、 $b=4$  の場合には10Gbit/s STM-64データ) としてもよく、さらには、他の規格に従った伝送速度のデータでも上記従来の技術

と同様なFECフレーム構成を適用することが可能であり、この場合には、他の規格に従った伝送速度のデータに対応したFECフレームの速度となる。

【0032】実施の形態5. 上記実施の形態では、誤り訂正符号としてリードソロモン(RS)符号で表示されるRS(255, 239)とRS(239, 223)の例を示したが、例えば、RS(255, 239)とRS(239, 207)としてもよく、ここで、前者のRS符号の符号長をp、情報長をq、後者のRS符号の情報長をrとすると、RS(p, q)とRS(q, r)とすればよく、FECフレームにおいて各サブフレームのビット長をp, q, rの値に対応した値とすればよく、また、オーバーヘッド情報を各サブフレームに1ビットとした場合の例を示したが、各サブフレームに2ビット以上のオーバーヘッド情報を設けてもよい。

#### 【0033】

【発明の効果】以上のように、この発明によれば、n個のサブフレームにおける情報に対してm個のサブフレーム毎に符号化し第1の誤り訂正符号を生成して付加する第1の誤り訂正符号生成工程と、第1の誤り訂正符号が付加されたn個のサブフレームをm個のサブフレーム毎に区分して、 $n/m$ 単位のサブフレームの情報に対して1回インタリーブするインタリーブ工程と、n個のサブフレームにおける情報に対してm個のサブフレーム毎に符号化し第2の誤り訂正符号を生成して付加する第2の誤り訂正符号生成工程と、第2の誤り訂正符号が付加されたn個のサブフレームをn多重化してFECフレームを生成するFECフレーム生成工程とを備えるように構成したので、このFECフレーム構成方法によってFECフレームを構成すれば、誤り訂正符号化の対象とする情報が互いに組み替えられた2種類の第1および第2の誤り訂正符号が付加されるので、受信側では、それら2種類の第1および第2の誤り訂正符号を復号することにより、1種類の誤り訂正符号の復号では訂正できない、残留した誤りを訂正することができる。従って、情報に対する誤り訂正符号の比率が上昇して伝送速度が上昇し、光伝送特性の劣化量が増加しても、大幅な誤り訂正性能の向上が可能な効果が得られる。

【0034】この発明によれば、n個のサブフレームをm個のサブフレーム毎に区分して、 $n/m$ 単位のサブフレームの情報に対して1回インタリーブするインタリーブ工程と、n個のサブフレームにおける情報に対してm個のサブフレーム毎に符号化し第1の誤り訂正符号を生成して付加する第1の誤り訂正符号生成工程と、第1の誤り訂正符号が付加されたn個のサブフレームに対して1回デインタリーブしてインタリーブ工程によってインタリーブされた情報を元の情報に戻すデインタリーブ工程と、n個のサブフレームにおける情報に対してm個のサブフレーム毎に符号化し第2の誤り訂正符号を生成して付加する第2の誤り訂正符号生成工程と、第2の誤り

訂正符号が付加されたn個のサブフレームをn多重化してFECフレームを生成するFECフレーム生成工程とを備えるように構成したので、このFECフレーム構成方法によってFECフレームを構成すれば、誤り訂正符号化の対象とする情報が互いに組み替えられた2種類の第1および第2の誤り訂正符号が付加されるので、受信側では、それら2種類の第1および第2の誤り訂正符号を復号することにより、1種類の誤り訂正符号の復号では訂正できない、残留した誤りを訂正することができる。従って、情報に対する誤り訂正符号の比率が上昇して伝送速度が上昇し、光伝送特性の劣化量が増加しても、大幅な誤り訂正性能の向上が可能な効果が得られる。また、インタリーブ工程によってインタリーブされた情報を、デインタリーブ工程によってデインタリーブすることによって、元の情報に戻してFECフレームが構成されるので、順序の組み替えられていない元の情報のFECフレームを伝送することができる効果が得られる。

【0035】この発明によれば、1は $n/m$ とするように構成したので、インタリーブ回数およびデインタリーブ回数と、インタリーブおよびデインタリーブされるサブフレームの単位数が同一となり、誤り訂正符号化の対象となる情報が均等に組み替えられ、情報の誤りが均等に分散されるので、誤り訂正性能をさらに向上させることができると共に、このFECフレーム構成方法によってFECフレームを生成する装置構成を容易にし、小型化することができる効果が得られる。

【0036】この発明によれば、1は $n/m$ のk倍であり、k個のFECフレームを1周期として、各FECフレームのそれぞれ異なる情報に対して $n/m$ 回のインタリーブを行うように構成したので、伝送速度の上昇率を一定にしたままで、誤り訂正性能をさらに向上させることができる効果が得られる。

【0037】この発明によれば、第1の誤り訂正符号および第2の誤り訂正符号がそれぞれRS(q, r)およびRS(p, q)で表示されるリードソロモン符号

(p, qおよびrは自然数であり、 $p > q > r$ 、pは第2の誤り訂正符号の符号長、qは第2の誤り訂正符号の情報長および第1の誤り訂正符号の符号長、rは第1の誤り訂正符号の情報長)であるように構成したので、上記条件に応じて伝送速度の上昇率を一定にしたままで、誤り訂正性能を向上させることができるFECフレームを容易に構成することができる効果が得られる。

【0038】この発明によれば、第1のインタリーブ手段によって順序が組み替えられた並列情報に対して第1の誤り訂正符号を生成し、冗長情報領域に格納する第1の誤り訂正符号化手段と、第1のデインタリーブ手段によって組み直された並列情報に対して第2の誤り訂正符号を生成し、冗長情報領域に格納する第2の誤り訂正符号化手段と、光伝送路を通じて伝送されたFECフレー

ムの並列情報の冗長情報領域に格納された第2の誤り訂正符号を復号処理し、並列情報の誤りを訂正する第2の誤り訂正復号手段と、第2のインタリーブ手段によって組み替えられた並列情報の冗長情報領域に格納された第1の誤り訂正符号を復号処理し、並列情報の残留した誤りを訂正する第1の誤り訂正復号手段と、並列情報の第2のインタリーブ手段において組み替えられた順序を再び元の順序に組み直す第2のデインタリーブ手段とを備えるように構成したので、光伝送路に伝送されたFECフレームには、誤り訂正符号化の対象とする情報が互いに組み替えられた2種類の第1および第2の誤り訂正符号が付加されるので、受信側では、それら2種類の第1および第2の誤り訂正符号を復号することにより、1種類の誤り訂正符号の復号では訂正できない、残留した誤りを訂正することができる。従って、情報に対する誤り訂正符号の比率が上昇して伝送速度が上昇し、光伝送特性の劣化量が増加しても、大幅な誤り訂正性能の向上が可能となる効果が得られる。また、第1のインタリーブ手段によってインタリーブされた情報を、第1のデインタリーブ手段によってデインタリーブすることによって、順序の組み替えられていない元の情報のFECフレームを光伝送路に伝送することができる効果が得られる。

【0039】この発明によれば、第2の誤り訂正復号手段、第2のインタリーブ手段、第1の誤り訂正復号手段、および第2のデインタリーブ手段からなる誤り訂正手段を多段縦続接続するように構成したので、誤り訂正手段を追加構成するだけで、FECフレームの構成を変更することなく、2種類の誤り訂正符号に対して誤り訂正を多数繰り返すことによって、さらに、誤り訂正性能を向上させることができる効果が得られる。

【0040】この発明によれば、FECフレーム構成方法に応じてFECフレームを構成すると共に、その構成されたFECフレームを処理するように構成したので、FECフレーム構成方法による効果を含むFEC多重化装置が得られる効果がある。

#### 【図面の簡単な説明】

【図1】 この発明の実施の形態1によるFECフレーム構成方法およびFEC多重化装置を適用した光伝送システムを示す構成図である。

【図2】 この発明の実施の形態1によるFEC多重化装置を示す構成図である。

【図3】 オーバヘッド挿入回路から出力されるFECフレームを示す構成図である。

【図4】 RS(239, 223)符号化回路から出力されるFECフレームを示す構成図である。

【図5】 RS(255, 239)符号化回路から出力されるFECフレームおよび第2の多重化回路から出力されるFECフレームを示す構成図である。

【図6】 この発明の実施の形態2によるFEC多重化装置を示す構成図である。

【図7】 この発明の実施の形態3によるFECフレーム構成方法を示す説明図である。

10 【図8】 従来のFEC多重化装置を示す構成図である。

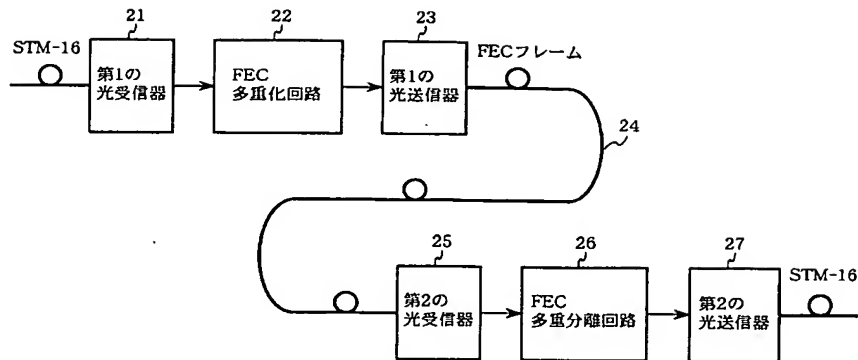
【図9】 オーバヘッド挿入回路から出力されるFECフレームを示す構成図である。

【図10】 RS(255, 239)符号化回路から出力されるFECフレームおよび第2の多重化回路から出力されるFECフレームを示す構成図である。

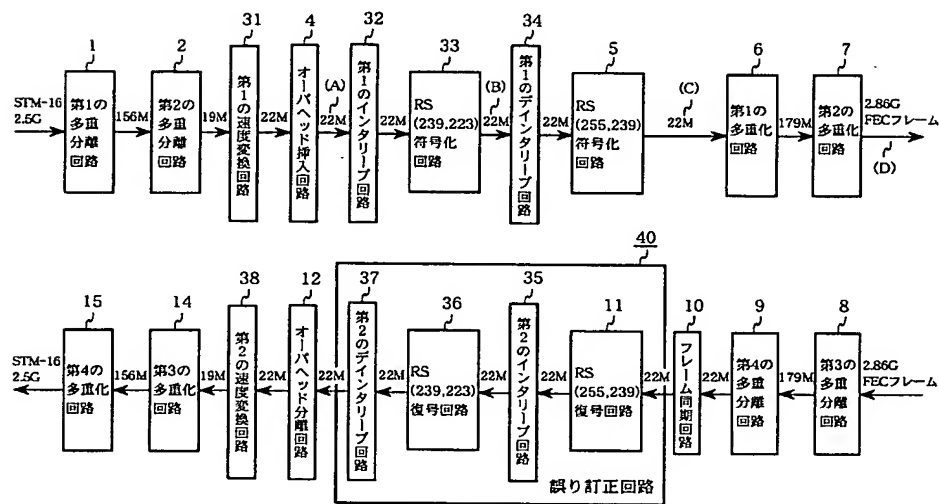
#### 【符号の説明】

1 第1の多重分離回路(第1の多重分離手段)、2 第2の多重分離回路(第1の多重分離手段)、4 オーバヘッド挿入回路(オーバヘッド挿入手段)、5 RS(255, 239)符号化回路(第2の誤り訂正符号化手段)、6 第1の多重化回路(第1の多重化手段)、7 第2の多重化回路(第1の多重化手段)、8 第3のFEC多重分離回路(第2の多重分離手段)、9 第4のFEC多重分離回路(第2の多重分離手段)、10 フレーム同期回路(フレーム同期手段)、11 RS(255, 239)復号回路(第2の誤り訂正復号手段)、12 オーバヘッド分離回路(オーバヘッド分離手段)、14 第3の多重化回路(第2の多重化手段)、15 第4の多重化回路(第2の多重化手段)、21 第1の光受信器、22 FEC多重化回路(FEC多重化装置)、23 第1の光送信器、24 光伝送路、25 第2の光受信器、26 FEC多重分離回路(FEC多重化装置)、27 第2の光送信器、31 第1の速度変換回路(第1の速度変換手段)、32 第1のインタリーブ回路(第1のインタリーブ手段)、33 RS(239, 223)符号化回路(第1の誤り訂正符号化手段)、34 第1のデインタリーブ回路(第1のデインタリーブ手段)、35 第2のインタリーブ回路(第2のインタリーブ手段)、36 RS(239, 223)復号回路(第1の誤り訂正復号手段)、37 第2のデインタリーブ回路(第2のデインタリーブ手段)、38 第2の速度変換回路(第2の速度変換手段)、40 誤り訂正回路(誤り訂正手段)。

【図 1】

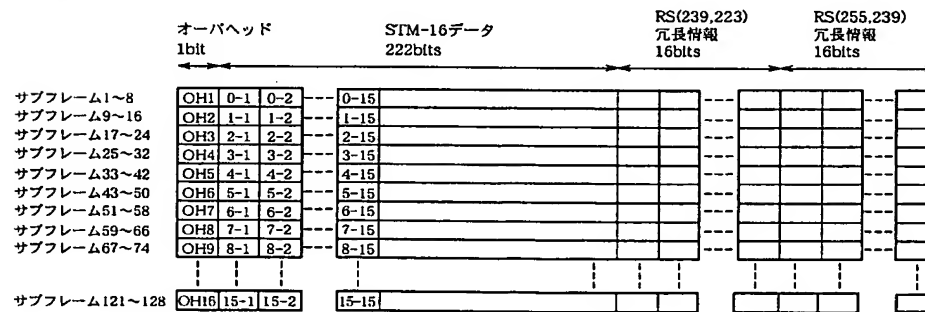


【図 2】

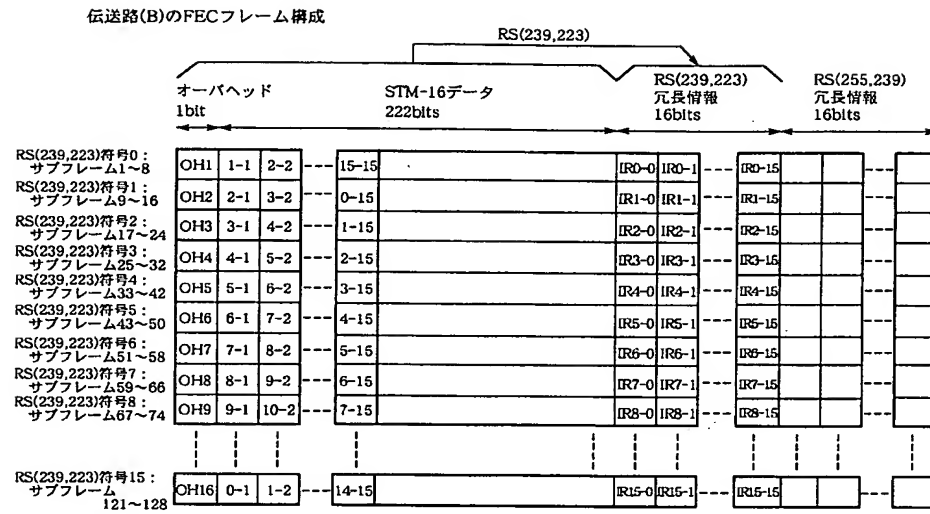


【図 3】

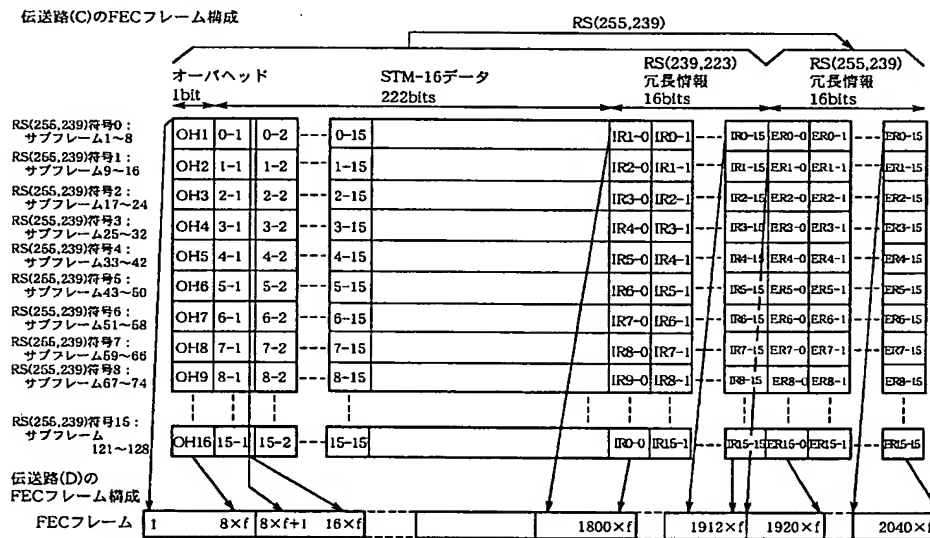
伝送路(A)のFECフレーム構成



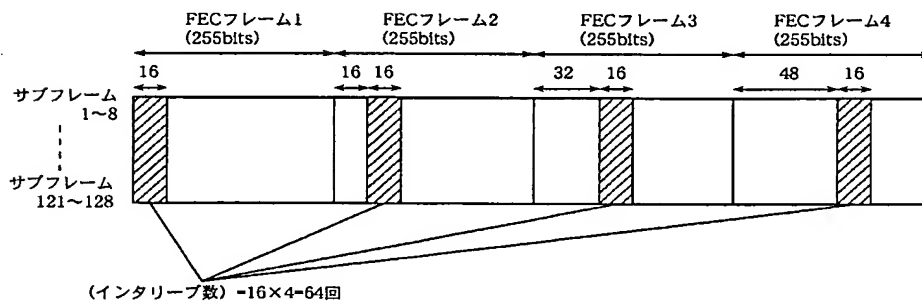
【図4】



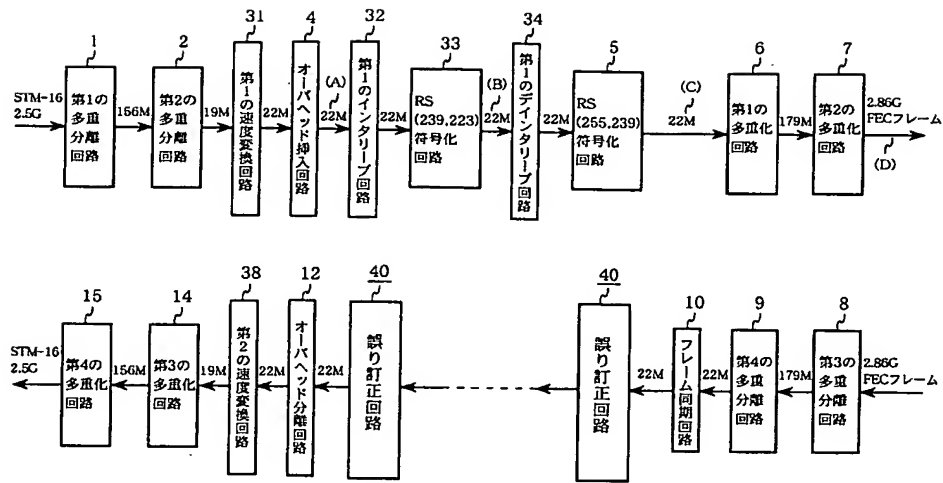
【図5】



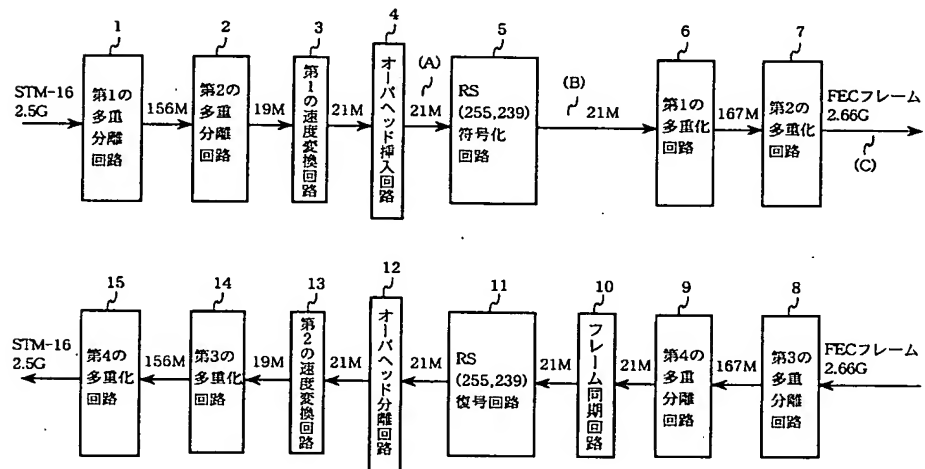
【図7】



【図6】

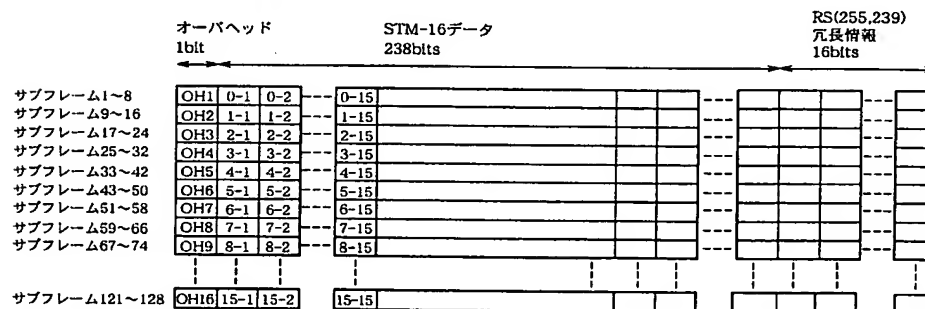


【図8】

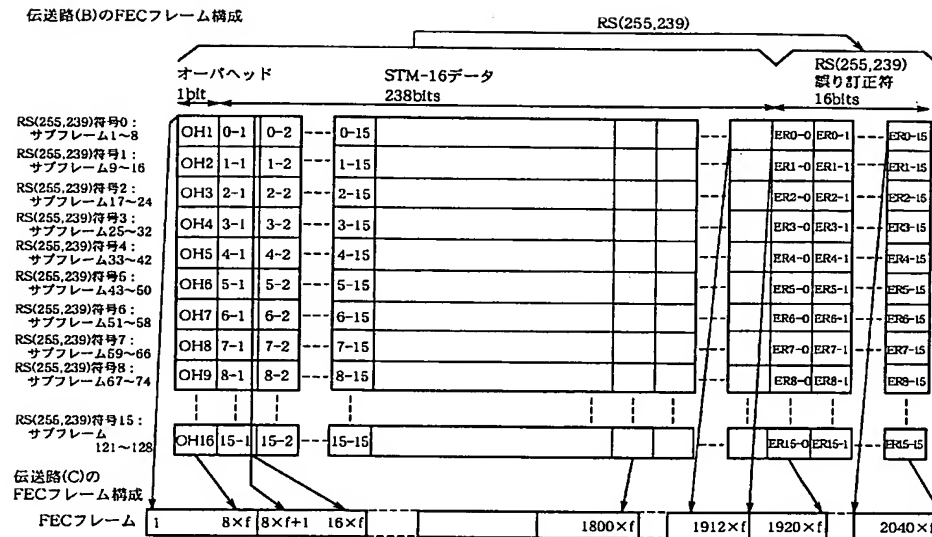


【図9】

伝送路(A)のFECフレーム構成



【図 10】



フロントページの続き

(72)発明者 吉田 英夫  
東京都千代田区丸の内二丁目2番3号 三菱電機株式会社内

(72)発明者 一番ヶ瀬 広  
東京都千代田区丸の内二丁目2番3号 三菱電機株式会社内

(72)発明者 多賀 秀徳  
東京都新宿区西新宿二丁目3番2号 ケイディディ海底ケーブルシステム株式会社内

(72)発明者 芝野 栄一  
東京都新宿区西新宿二丁目3番2号 ケイディディ海底ケーブルシステム株式会社内

(72)発明者 安田 忠見  
東京都新宿区西新宿二丁目3番2号 ケイディディ海底ケーブルシステム株式会社内

Fターム(参考) 5J065 AA01 AB01 AC02 AD11 AE06  
AG06  
5K014 AA01 BA08 CA01 EA01 FA16  
5K028 AA15 BB08 KK01 PP12 RR02